

BEST AVAILABLE COPY

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 63124298 A

(43) Date of publication of application: 27.05.88

(51) Int. Cl

G11C 17/00

(21) Application number: 61270288

(71) Applicant: MATSUSHITA GRAPHIC
COMMUN SYST INC

(22) Date of filing: 13.11.86

(72) Inventor: MICHIGAMI MAKOTO
SASAKI MASAHIRO

(54) MEMORY DEVICE

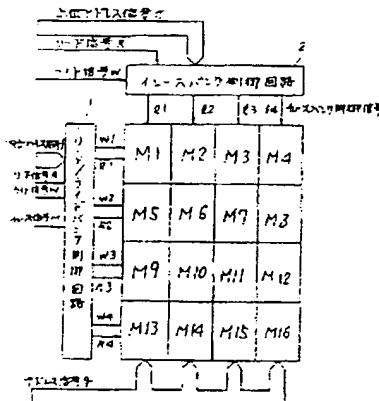
(57) Abstract

PURPOSE: To efficiently perform a write-access by providing a means for accessing in parallel to m-piece of memory chips group at every n-piece of the memory chips provided with a read/write control means respectively, and further, for erasing at once the stored contents of the aggregations of i-th order in the every group.

CONSTITUTION: 16 number of the memory chips M1WM16 are divided into 4 groups (bank) at every 4 chips, and M1WM4 are called a first bank, and similarly M5WM8 a second bank, M9WM12 a third bank and M13WM15 a fourth bank. Continuous addresses are assigned to the first the fourth bank at intervals, in such a way as the address 1 to the first bank, the address 2 to the second bank, the address 3 to the third bank, the address 4 to the fourth bank, and the address 5 to the first bank again, the address 6 to the second bank and so on. As the result, each erase bank includes the continuous address area of the quarter of a whole capacity. Thus, the write access can be efficiently performed against the continuous addresses one after

another, and simultaneously the continuous address areas can be efficiently erased integrally too.

COPYRIGHT: (C)1988,JPO&Japio



⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 昭63-124298

⑫ Int. Cl. 4
G 11 C 17/00 試別記号 309 場内整理番号 A-7208-5B
C-7208-5B ⑬ 公開 昭和63年(1988)5月27日
審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 メモリ装置

⑮ 特願 昭61-270288

⑯ 出願 昭61(1986)11月13日

⑰ 発明者 道上誠 東京都目黒区下目黒2丁目3番8号 松下電送株式会社内

⑱ 発明者 佐々木雅宏 東京都目黒区下目黒2丁目3番8号 松下電送株式会社内

⑲ 出願人 松下電送株式会社 東京都目黒区下目黒2丁目3番8号

⑳ 代理人 弁理士 中尾敏男 外1名

明細書

1. 発明の名称

メモリ装置

2. 特許請求の範囲

$m \times n$ 個のメモリを n 個づつ m 個のグループに分け、その各グループのそれぞれにリード/ライト制御手段を設けて各グループに並列的にアクセスできるように構成するとともに、各グループの n 個のメモリ中の i 番目 ($i = 1, 2, \dots, n$) のメモリからなる集合を 1 単位としてそれらの記憶内容を一度に消去する消去制御手段を設けたメモリ装置。

3. 発明の詳細な説明

産業上の利用分野

この発明は、EEPROMとかEAROMなどと呼ばれている電気的に記憶内容を書き換え可能な不揮発性メモリを用いたメモリ装置に関する。

従来の技術

EEPROMやEAROMなどの半導体メモリはどんどん改良されているが、現状では、書き込みか

上び消去には普通の半導体 RAM の一万倍もの長時間を必要とする。しかし、電気的書き換えが可能で不揮発性という機能は非常に便利なので、この種のメモリをシステムに組み込みたいという需要は極めて多い。

発明が解決しようとする問題点

EEPROMなどを使用する上の最大の問題はやはり書き込みと消去に長時間を要することである。つまり、この種のメモリチップにライトアクセスした時、そのライト動作が完了するまで長時間待たざないと、そのメモリチップにはライトアクセスもリードアクセスもできない。従って、ライトアクセスをよく行なうシステムではアクセス効率が極めて悪くなる。

そこで本出願人は先に、この種のメモリチップを複数個使用し、各メモリチップにそれぞれリード/ライト制御回路を付設して、各メモリチップに並列的にアクセスできるようにしたメモリ装置を提案した。この構成によれば、アドレス1を第1メモリチップ、アドレス2を第2メモリチップ、

特開昭63-124298(2)

アドレス3を第3メモリチップ、というように連続したアドレスを各チップに飛び飛びに割り付けることで、連続したアドレスに次々とライトアクセスするのに大きな待ち時間を生じなくなる。

しかし上記の場合、連続したアドレスエリアを一度にまとめて消去することができない。例えばアドレス1からアドレス128までを消去する場合、アドレス1は第1チップ、アドレス2は第2チップ、アドレス3は第3チップ、となっていたのでは全体を消去するのに非常に時間がかかり、しかも処理も面倒になる。この種のメモリチップには、消去を効率的に行なうために、チップ全体を一度に消去する機能が付いている。このチップ消去機能を上記の場合には使用できない。

この発明は上述した従来の問題点に鑑みられたもので、その目的は、EEPROMなどのメモリチップを多段使用したメモリ装置において、ライトアクセスを効率良く行なえるようにするとともに、連続したアドレスエリアを一度に消去できるようにすることにある。

第1図はこの発明の一実施例によるメモリ装置の全体的な構成を示している。

この実施例では16個のメモリチップM1～M16を用い、これらにリード/ライトバンク制御回路1とイレースバンク制御回路2とを付設している。

16個のメモリチップM1～M16は4個づつ4つのグループに分かれ。このグループをここではバンクと称する。M1～M4は第1バンク、M5～M8は第2バンク、M9～M12は第3バンク、M13～M16は第4バンクである。

また、各バンクの1番目のメモリチップの集合M1、M5、M9、M13を第1イレースバンクと称する。同様にM2、M6、M10、M14の集合を第2イレースバンク、M3、M7、M11、M15の集合を第3イレースバンク、M4、M8、M12、M16の集合を第4イレースバンクと称する。

本メモリ装置の1ワードを指定するアドレス信号のうち、下位2ビットのアドレス信号 α が上記第1～第4バンクの1つを指定する信号としてリード/ライトバンク制御回路1に入力され、上位

問題点を解決するための手段

そこでこの発明では、 $m \times n$ 個のメモリチップを n 個づつ m 個のグループに分け、その各グループのそれぞれにリード/ライト制御手段を設けて各グループに並列的にアクセスできるように構成するとともに、各グループの n 個のメモリチップ中の i 番目($i = 1, 2, \dots, n$)のメモリチップからなる集合を1単位としてそれらの記憶内容を一度に消去する消去制御手段を設けた。

作用

あるグループの上記リード/ライト制御手段がライトアクセス中であっても、他のグループの上記リード/ライト制御手段はライトアクセスおよびリードアクセス可能である。

また、上記消去制御手段によって各グループの1番目のメモリチップからなる集合、すなわち m 個のメモリチップがまとめて消去される。このように一度に消去されるエリアは、アドレスが連続したエリアになっている。

実施例

2ビットのアドレス信号 α が第1～第4イレースバンクの1つを指定する信号としてイレースバンク制御回路2に入力され、残った中間のアドレス信号 β が各メモリチップM1～M16に並列に入力される。

従って、メモリアドレスと上記バンクおよび上記イレースバンクとの関係は第4図のようになる。つまり、アドレス1は第1バンク、アドレス2は第2バンク、アドレス3は第3バンク、アドレス4は第4バンク、またアドレス5は再び第1バンク、アドレス6は第2バンク、というように連続したアドレスが第1～第4バンクに飛び飛びに割り付けられる。その結果、各イレースバンクには全体の4分の1の容量の連続したアドレスエリアが含まれることになる。

第2図はイレースバンク制御回路2の構成を示し、第3図はリード/ライトバンク制御回路1の構成を示している。

まずリード動作について説明する。この場合、アドレス信号 α 、 β とリード信号Rが与えら

特開昭63-124298(3)

れる。上位アドレス信号 α は第2図のデコーダ21でデコードされ、その4つの出力のうちの1つが能動化する。デコーダ21の出力はゲート22を介してイレースパンク制御信号 β_1 ～ β_4 となる。また、リード信号Rはオア回路23を通してゲート22に印加され、その時点でゲート22が開放される。つまり、第1～第4イレースパンクのうち上位アドレス信号 α で指定された1つのイレースパンクに制御信号 β_1 ～ β_4 の該当のものが供給される。

同様にリード／ライトパンク制御回路1において、下位アドレス信号 β はデコーダ11でデコードされ、その出力がリード信号Rのタイミングでゲート12を通過し、パンクリード信号R 1 ～R 4 のいずれか1つが能動となる。

例えば、第2イレースパンクの制御信号 β_2 が能動化するとともに、第3パンクのリード信号R 3 が能動化したとすると、第2イレースパンクと第3パンクの西方に属するメモリチップM10が能動となり、このチップM10からアドレス信号 α に該当するワードの情報を読み出される。

クに對しては、ライト完了を待つことなくリードアクセスおよびライトアクセスが可能である。

次にイレースパンク単位での一括消去の動作を説明する。この場合、イレースパンクを指定する上位アドレス信号 α とライト信号Wとイレース信号M α が与えられる。なお図示省略しているが、イレース信号M α によって各メモリチップM1～M16はチップ消去モードになる。

イレースパンク制御回路2からは、ライト信号Wのタイミングで、イレースパンク制御信号 β_1 ～ β_4 のうちアドレス信号 α に該当する1つが能動となって出力される。

またリード／ライト制御回路1においては、イレース信号M α が4つのオア回路13、14、15、16のいずれにも入力され、この信号がライト信号Wのタイミングでライト制御回路17に入力される。これを受けてライト制御回路17の4出力(パンクリート信号)W 1 ～W 4 がすべて能動となる。

以上の結果、例えば第4イレースパンクの制御信号 β_4 が能動化したとすると、この第4イレ

次にライト動作について説明する。この場合、アドレス信号 α 、 β とライト信号Wとが与えられる。このときのイレースパンク制御回路3の動作は上記と同じで、ライト信号Wのタイミングでイレースパンク制御信号 β_1 ～ β_4 のうちの1つが能動化する。またリード／ライト制御回路1においては、デコーダ11の出力がライト信号Wのタイミングでオア回路13～16を通過してライト制御回路17に入力され、これを受けてライト制御回路17の出力であるパンクリート信号W 1 ～W 4 のうちの該当の1つが能動化する。

例えば、第3イレースパンクの制御信号 β_3 が能動化するとともに、第2パンクのライト信号W 2 が能動化したとすると、第3イレースパンクと第2パンクの両方に属するメモリチップM7が能動となり、このチップM7のアドレス信号 α の該当エリアにデータバスの情報が書き込まれる。なお、メモリチップM7に対するライト動作が完了するまでには相当の時間を要するが、メモリチップM7の属する第2パンク以外の他の3つのパン

クに含まれる4つのメモリチップM4、M8、M12、M16がすべて一度に消去される。このように消去されるエリアはアドレスの連続したエリアである。

発明の効果

以上詳細に説明したように、この発明に係るメモリ装置は、EEPROMなどのメモリチップを多数使用したもので、各チップのライト動作や消去動作に長時間を要するものであっても、連続したアドレスに対して次々とライトアクセスすることを効率よく行なえるとともに、連続したアドレスエリアを一括して効率よく消去することもでき、この種のメモリを一般システムに実用的に活用することができる。

4. 図面の簡単な説明

第1図はこの発明の一実施例によるメモリ装置の全体的な概略構成を示すブロック図、第2図は第1図におけるイレースパンク制御回路のブロック図、第3図は第1図におけるリード／ライト制御回路のブロック図、第4図は同上実施例のメモ

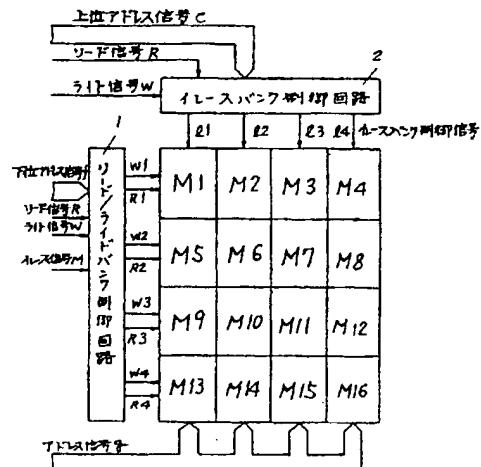
特開昭63-124298(4)

リマップである。

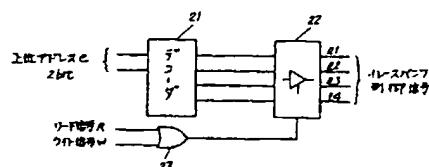
M1～M16…メモリチップ、1…リード/ライ
ト制御回路、2…イレースパンク制御回路

代理人の氏名 井理士 中尾 敏男 ほか1名

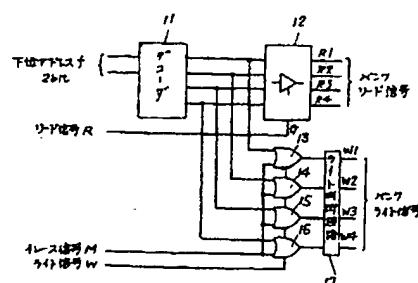
第1図



第2図



第3図



第4図

